

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-221108

(P2014-221108A)

(43) 公開日 平成26年11月27日(2014.11.27)

(51) Int.Cl.			F I			テーマコード (参考)
<b>A 6 1 B</b>	<b>1/00</b>	<b>(2006.01)</b>	A 6 1 B	1/00	3 2 0 B	4 C 0 3 8
<b>A 6 1 B</b>	<b>1/04</b>	<b>(2006.01)</b>	A 6 1 B	1/04	3 7 2	4 C 1 6 1
<b>A 6 1 B</b>	<b>5/07</b>	<b>(2006.01)</b>	A 6 1 B	5/07		

審査請求 未請求 請求項の数 9 O L (全 25 頁)

(21) 出願番号 特願2013-101378 (P2013-101378)  
 (22) 出願日 平成25年5月13日 (2013. 5. 13)

(71) 出願人 000000376  
 オリンパス株式会社  
 東京都渋谷区幡ヶ谷2丁目4番2号  
 (74) 代理人 100106909  
 弁理士 棚井 澄雄  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100094400  
 弁理士 鈴木 三義  
 (74) 代理人 100086379  
 弁理士 高柴 忠夫  
 (74) 代理人 100129403  
 弁理士 増井 裕士  
 (74) 代理人 100139686  
 弁理士 鈴木 史朗

最終頁に続く

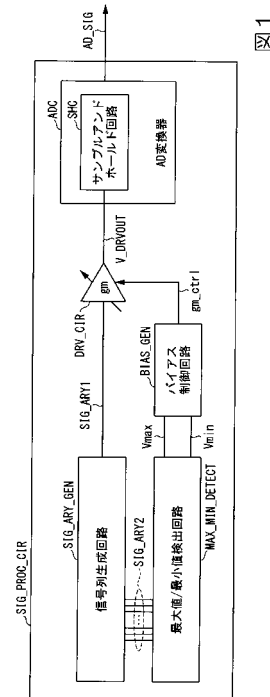
(54) 【発明の名称】 信号処理回路およびカプセル内視鏡

(57) 【要約】

【課題】ドライバ回路の消費電力を削減する。

【解決手段】信号列生成回路SIG\_ARY\_GENは、複数の電圧信号を時分割して第一の信号列として順次出力し、複数の電圧信号を第二の信号列として同時に並列的に出力する。最大値/最小値検出回路MAX\_MIN\_DETECTは、複数の電圧信号の略最大値に対応した最大信号と、複数の電圧信号の略最小値に対応した最小信号とを出力する。バイアス制御回路BIAS\_GENは、最大信号と最小信号との差に応じて変化するバイアス制御信号を出力する。ドライバ回路DRV\_CIRは、第一の信号列とバイアス制御信号とが入力され、バイアス制御信号に応じたトランスコンダクタンスで第一の信号列を変換したドライバ出力電圧を出力する。サンプルアンドホールド回路SHCは、サンプル期間においてドライバ出力電圧をサンプルする動作と、保持期間においてドライバ出力電圧を保持する動作とを繰り返す。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

複数の電圧信号を時分割して第一の信号列として順次出力し、前記複数の電圧信号を第二の信号列として同時に並列的に出力する信号列生成回路と、

前記第二の信号列が入力され、前記複数の電圧信号の略最大値に対応した最大信号と、前記複数の電圧信号の略最小値に対応した最小信号とを出力する最大値 / 最小値検出回路と、

前記最大信号と前記最小信号とが入力され、前記最大信号と前記最小信号との差に応じて変化するバイアス制御信号を出力するバイアス制御回路と、

前記第一の信号列と前記バイアス制御信号とが入力され、前記バイアス制御信号に応じたトランスコンダクタンスで前記第一の信号列を変換したドライバ出力電圧を出力するドライバ回路と、

前記ドライバ出力電圧が入力され、サンプル期間において前記ドライバ出力電圧をサンプルする動作と、保持期間において前記ドライバ出力電圧を保持する動作とを繰り返すサンプルアンドホールド回路と、

を有することを特徴とする信号処理回路。

## 【請求項 2】

前記サンプルアンドホールド回路を入力段に有し、前記サンプルアンドホールド回路に保持されたアナログ信号をデジタル信号である A/D 変換信号として外部に出力する A/D 変換器を有することを特徴とする請求項 1 に記載の信号処理回路。

## 【請求項 3】

複数の電圧信号を所定のフレーム周期で繰り返し時分割して第一の信号列として出力する信号列生成回路と、

前記第一の信号列とバイアス制御信号とが入力され、前記バイアス制御信号に応じたトランスコンダクタンスで前記第一の信号列を変換したドライバ出力電圧を出力するドライバ回路と、

前記ドライバ出力電圧が入力され、サンプル期間において前記ドライバ出力電圧をサンプルする動作と、保持期間において前記ドライバ出力電圧を保持する動作とを繰り返すサンプルアンドホールド回路を入力段に有し、前記サンプルアンドホールド回路に保持されたアナログ信号をデジタル信号である A/D 変換信号として出力する A/D 変換器と、

前記 A/D 変換信号の略最大値に対応した最大信号と、前記 A/D 変換信号の略最小値に対応した最小信号とを出力する最大値 / 最小値検出回路と、

第 1 のフレームに出力された前記最大信号と前記最小信号との差に基づき、前記第 1 のフレームよりも後の第 2 のフレームに出力される前記最大信号と前記最小信号との差を予想し、前記第 2 のフレームに出力される前記第一の信号列に対応する前記バイアス制御信号を出力するバイアス制御回路と、

を有することを特徴とする信号処理回路。

## 【請求項 4】

前記ドライバ回路のトランスコンダクタンスは、前記最大信号と前記最小信号との差が増加すると値が増加し、前記差が減少すると値が減少する関数で制御されることを特徴とする請求項 1 または請求項 3 に記載の信号処理回路。

## 【請求項 5】

前記サンプルアンドホールド回路は、

サンプリングクロックによりオンとオフが制御されるサンプリングスイッチと、

容量の値が  $C_{SH}$  であるサンプリング容量と、

を有し、

前記サンプリングスイッチがオンとなる前記サンプル期間の長さを  $t_s$ 、前記サンプルアンドホールド回路に許容されるサンプリング誤差を、前記最大信号と前記最小信号との電圧の差を  $V_{CONT\_MAX}$  とした場合に、

10

20

30

40

【数 1】

$$-\frac{C_{SH}}{t_s} \ln \frac{\varepsilon}{V_{CONT\_MAX}} < gm$$

を満たすトランスコンダクタンス  $gm$  で前記ドライバ回路が動作するように前記バイアス制御回路が前記バイアス制御信号を制御する

ことを特徴とする請求項 4 に記載の信号処理回路。

10

【請求項 6】

前記信号列生成回路は、

半導体基板の平面上に配列され、受光量に応じた前記電圧信号を生成する複数の受光素子を有する画素列と、

第一端子および第二端子を有し、前記第一端子が各々の前記受光素子に接続され、前記第二端子が互いに接続され、オンとオフの切り替えが可能な複数のスイッチと、

を有し、オンとなる前記スイッチを順次切り替えることにより、前記複数の受光素子で生成された前記電圧信号を時系列的に切り替えて前記第一の信号列として順次出力し、前記複数の受光素子で生成された前記電圧信号を前記第二の信号列として、前記複数の受光素子の夫々に対応して設けられた信号線に同時に並列的に出力する

20

ことを特徴とする請求項 1 に記載の信号処理回路。

【請求項 7】

前記最大値 / 最小値検出回路は、

複数の NMOS トランジスタと、第一端子および第二端子を有する第一の電流源とを有し、前記複数の NMOS トランジスタの夫々のゲート端子が前記複数の受光素子の全て、若しくは一部に接続され、前記複数の NMOS トランジスタの夫々のドレイン端子が第一の電源に接続され、前記複数の NMOS トランジスタの夫々のソース端子が互いに接続され、前記第一の電流源の前記第一端子が前記複数の NMOS トランジスタの全てのソース端子に接続され、前記第一の電流源の前記第二端子が第二の電源に接続され、前記 NMOS トランジスタのソース端子と、前記第一の電流源の前記第一端子とが接続された部分から前記最大信号を出力する最大値検出回路と、

30

複数の PMOS トランジスタと、第一端子および第二端子を有する第二の電流源とを有し、前記複数の PMOS トランジスタの夫々のゲート端子が前記複数の受光素子の全て、若しくは一部に接続され、前記複数の PMOS トランジスタの夫々のドレイン端子が前記第二の電源に接続され、前記複数の PMOS トランジスタの夫々のソース端子が互いに接続され、前記第二の電流源の前記第一端子が前記 PMOS トランジスタの全てのソース端子に接続され、前記第二の電流源の前記第二端子が前記第一の電源に接続され、前記 PMOS トランジスタのソース端子と、前記第二の電流源の前記第一端子とが接続された部分から前記最小信号を出力する最小値検出回路と、

を有することを特徴とする請求項 6 に記載の信号処理回路。

40

【請求項 8】

前記ドライバ回路は、

前記バイアス制御信号により出力電流が制御されるテール電流源と、

前記テール電流源から入力された前記出力電流の値に応じた所定のトランスコンダクタンスで、反転入力端子および非反転入力端子に入力された電圧の差分に応じた電流を出力する差動対回路と、

前記差動対回路から入力された前記電流に応じた電圧を出力する負荷回路と、

を有することを特徴とする請求項 1 または請求項 3 に記載の信号処理回路。

【請求項 9】

請求項 2 または請求項 3 に記載の信号処理回路であって、半導体基板の平面上に配列さ

50

れ、受光量に応じた前記電圧信号を生成する複数の受光素子を有する画素列を前記信号列生成回路に備え、前記電圧信号に対応した前記 A D 変換信号を出力する前記信号処理回路と、

被写体から入力された光束を前記画素列に結像する対物レンズと、

前記信号処理回路から入力された前記 A D 変換信号に基づいた画像処理を行う画像処理回路と、

前記信号処理回路および前記画像処理回路に電源を供給する電源供給回路と、

を有することを特徴とするカプセル内視鏡。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、信号処理回路、およびこの信号処理回路を有するカプセル内視鏡に関する。

【背景技術】

【0002】

図16は、特許文献1に記載された G m C フィルタ回路の構成を示している。図16に示す G m C フィルタ回路1は、O T A ( O p e r a t i o n a l T r a n s c o n d u c t a n c e A m p l i f i e r ) 回路2とコンデンサ C を有する。G m C フィルタ回路1への入力信号を  $V_{in}$ 、G m C フィルタ回路1の出力信号を  $V_{out}$ 、コンデンサ C の容量を C、O T A 回路2のトランスコンダクタンス値を G m で表すと、出力信号  $V_{out}$  は  $V_{out} = (Gm \cdot V_{in}) / j \omega C$  で表される。また、この G m C フィルタ回路1のカットオフ周波数  $F_c$  は、 $F_c = Gm \cdot V_{in} / C$  で決まる。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-33323号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一般に、O T A 回路のトランスコンダクタンス G m は回路電流に略比例する、若しくは回路電流の平方根に略比例する。したがって、同一のカットオフ周波数  $F_c$  を保ちながら従来の G m C フィルタの消費電流を低減するためにはコンデンサ C の容量を減らせばよい。しかしながら、製造プロセスの限界等によりコンデンサ C の容量の低減には限界があるため、消費電流の低減には限界があった。

30

【0005】

O T A 回路2とコンデンサ C との間に、オンとオフが切り替え可能なスイッチを有するサンプルアンドホールド回路が挿入されることがある。上記の問題は、サンプルアンドホールド回路を駆動するドライバ回路を実現する手段として存在する O T A 回路の低消費電力化の限界も示唆している。何故ならば、定期的にサンプル動作と保持動作を行うサンプルアンドホールド回路を、サンプル動作中に生じる誤差が所定の値以下となるように駆動するためには、O T A 回路2およびコンデンサ C で構成される G m C フィルタのカットオフ周波数 ( $F_c = Gm \cdot V_{in} / C$ ) を所定の値よりも大きくする必要があるのである。

40

【0006】

本発明は、上述した課題に鑑みてなされたものであって、サンプルアンドホールド回路を駆動するドライバ回路の消費電力を削減することができる信号処理回路およびカプセル内視鏡を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明は、上記の課題を解決するためになされたもので、複数の電圧信号を時分割して第一の信号列として順次出力し、前記複数の電圧信号を第二の信号列として同時に並列的

50

に出力する信号列生成回路と、前記第二の信号列が入力され、前記複数の電圧信号の略最大値に対応した最大信号と、前記複数の電圧信号の略最小値に対応した最小信号とを出力する最大値/最小値検出回路と、前記最大信号と前記最小信号とが入力され、前記最大信号と前記最小信号との差に応じて変化するバイアス制御信号を出力するバイアス制御回路と、前記第一の信号列と前記バイアス制御信号とが入力され、前記バイアス制御信号に応じたトランスコンダクタンスで前記第一の信号列を変換したドライバ出力電圧を出力するドライバ回路と、前記ドライバ出力電圧が入力され、サンプル期間において前記ドライバ出力電圧をサンプルする動作と、保持期間において前記ドライバ出力電圧を保持する動作とを繰り返すサンプルアンドホールド回路と、を有することを特徴とする信号処理回路である。

10

【0008】

また、本発明の信号処理回路は、前記サンプルアンドホールド回路を入力段に有し、前記サンプルアンドホールド回路に保持されたアナログ信号をデジタル信号であるAD変換信号として外部に出力するAD変換器を有することを特徴とする。

【0009】

また、本発明は、複数の電圧信号を所定のフレーム周期で繰り返し時分割して第一の信号列として出力する信号列生成回路と、前記第一の信号列とバイアス制御信号とが入力され、前記バイアス制御信号に応じたトランスコンダクタンスで前記第一の信号列を変換したドライバ出力電圧を出力するドライバ回路と、前記ドライバ出力電圧が入力され、サンプル期間において前記ドライバ出力電圧をサンプルする動作と、保持期間において前記ドライバ出力電圧を保持する動作とを繰り返すサンプルアンドホールド回路を入力段に有し、前記サンプルアンドホールド回路に保持されたアナログ信号をデジタル信号であるAD変換信号として出力するAD変換器と、前記AD変換信号の略最大値に対応した最大信号と、前記AD変換信号の略最小値に対応した最小信号とを出力する最大値/最小値検出回路と、第1のフレームに出力された前記最大信号と前記最小信号との差に基づき、前記第1のフレームよりも後の第2のフレームに出力される前記最大信号と前記最小信号との差を予想し、前記第2のフレームに出力される前記第一の信号列に対応する前記バイアス制御信号を出力するバイアス制御回路と、を有することを特徴とする信号処理回路である。

20

【0010】

また、本発明の信号処理回路において、前記ドライバ回路のトランスコンダクタンスは、前記最大信号と前記最小信号との差が増加すると値が増加し、前記差が減少すると値が減少する関数で制御されることを特徴とする。

30

【0011】

また、本発明の信号処理回路において、前記サンプルアンドホールド回路は、サンプリングクロックによりオンとオフが制御されるサンプリングスイッチと、容量の値が $C_{SH}$ であるサンプリング容量と、を有し、前記サンプリングスイッチがオンとなる前記サンプル期間の長さを $t_s$ 、前記サンプルアンドホールド回路に許容されるサンプリング誤差を、前記最大信号と前記最小信号との電圧の差を $V_{CONT\_MAX}$ とした場合に、

【数1】

$$-\frac{C_{SH}}{t_s} \ln \frac{\varepsilon}{V_{CONT\_MAX}} < gm$$

40

を満たすトランスコンダクタンス $gm$ で前記ドライバ回路が動作するように前記バイアス制御回路が前記バイアス制御信号を制御することを特徴とする。

【0012】

また、本発明の信号処理回路において、前記信号列生成回路は、半導体基板の平面上に配列され、受光量に応じた前記電圧信号を生成する複数の受光素子を有する画素列と、第一端子および第二端子を有し、前記第一端子が各々の前記受光素子に接続され、前記第二

50

端子が互いに接続され、オンとオフの切り替えが可能な複数のスイッチと、を有し、オンとなる前記スイッチを順次切り替えることにより、前記複数の受光素子で生成された前記電圧信号を時系列的に切り替えて前記第一の信号列として順次出力し、前記複数の受光素子で生成された前記電圧信号を前記第二の信号列として、前記複数の受光素子の夫々に対応して設けられた信号線に同時に並列的に出力することを特徴とする。

【0013】

また、本発明の信号処理回路において、前記最大値/最小値検出回路は、複数のNMOSトランジスタと、第一端子および第二端子を有する第一の電流源とを有し、前記複数のNMOSトランジスタの夫々のゲート端子が前記複数の受光素子の全て、若しくは一部に接続され、前記複数のNMOSトランジスタの夫々のドレイン端子が第一の電源に接続され、前記複数のNMOSトランジスタの夫々のソース端子が互いに接続され、前記第一の電流源の前記第一端子が前記複数のNMOSトランジスタの全てのソース端子に接続され、前記第一の電流源の前記第二端子が第二の電源に接続され、前記NMOSトランジスタのソース端子と、前記第一の電流源の前記第一端子とが接続された部分から前記最大信号を出力する最大値検出回路と、複数のPMOSトランジスタと、第一端子および第二端子を有する第二の電流源とを有し、前記複数のPMOSトランジスタの夫々のゲート端子が前記複数の受光素子の全て、若しくは一部に接続され、前記複数のPMOSトランジスタの夫々のドレイン端子が前記第二の電源に接続され、前記複数のPMOSトランジスタの夫々のソース端子が互いに接続され、前記第二の電流源の前記第一端子が前記PMOSトランジスタの全てのソース端子に接続され、前記第二の電流源の前記第二端子が前記第一の電源に接続され、前記PMOSトランジスタのソース端子と、前記第二の電流源の前記第一端子とが接続された部分から前記最小信号を出力する最小値検出回路と、を有することを特徴とする。

10

20

【0014】

また、本発明の信号処理回路において、前記ドライバ回路は、前記バイアス制御信号により出力電流が制御されるテール電流源と、前記テール電流源から入力された前記出力電流の値に応じた所定のトランスコンダクタンスで、反転入力端子および非反転入力端子に入力された電圧の差分に応じた電流を出力する差動対回路と、前記差動対回路から入力された前記電流に応じた電圧を出力する負荷回路と、を有することを特徴とする。

30

【0015】

また、本発明は、半導体基板の平面上に配列され、受光量に応じた前記電圧信号を生成する複数の受光素子を有する画素列を前記信号列生成回路に備え、前記電圧信号に対応した前記AD変換信号を出力する前記信号処理回路と、被写体から入力された光束を前記画素列に結像する対物レンズと、前記信号処理回路から入力された前記AD変換信号に基づいた画像処理を行う画像処理回路と、前記信号処理回路および前記画像処理回路に電源を供給する電源供給回路と、を有することを特徴とするカプセル内視鏡である。

【発明の効果】

40

【0016】

本発明によれば、バイアス制御回路は、最大値/最小値検出回路が出力する最大信号と最小信号との差に応じて変化するバイアス制御信号を出力する。あるいは、バイアス制御回路は、1つ前のフレームに出力された最大信号と最小信号との差に基づき、次のフレームに出力される最大信号と最小信号との差を予想し、次のフレームに出力される第一の信号列に対応するバイアス制御信号を出力する。そして、ドライバ回路は、バイアス制御信号に応じたトランスコンダクタンスで第一の信号列を変換したドライバ出力電圧を出力する。これによって、ドライバ回路の消費電力を削減することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の第1の実施形態に係る信号処理回路の構成を示すブロック図である。

【図2】本発明の第1の実施形態に係る信号列生成回路の構成を示す回路図である。

【図3】本発明の第1の実施形態に係る受光素子の動作を示すタイミングチャートである

50

。

【図 4】本発明の第 1 の実施形態に係る信号読み出し動作を示すタイミングチャートである。

【図 5】本発明の第 1 の実施形態に係る最大値 / 最小値検出回路の構成を示す回路図である。

【図 6】本発明の第 1 の実施形態に係るバイアス制御回路、ドライバ回路、およびサンプルアンドホールド回路の構成を示すブロック図である。

【図 7】本発明の第 1 の実施形態に係るサンプルアンドホールド回路の動作を示すタイミングチャートである。

【図 8】本発明の第 1 の実施形態に係るドライバ回路の構成を示す回路図である。

10

【図 9】本発明の第 1 の実施形態に係る差動対に流れる電流とトランスコンダクタンスの関係を示すグラフである。

【図 10】本発明の第 1 の実施形態に係るテール電流源の構成を示す回路図である。

【図 11】本発明の第 2 の実施形態に係るカプセル内視鏡の構成を示すブロック図である。

。

【図 12】本発明の第 2 の実施形態に係るカプセル内視鏡の被写体である人体の胃壁を示す参考図である。

【図 13】本発明の第 2 の実施形態に係る信号処理回路の構成を示すブロック図である。

【図 14】本発明の第 2 の実施形態に係る信号列生成回路の構成を示す回路図である。

【図 15】本発明の第 2 の実施形態に係るドライバ回路におけるトランスコンダクタンスアンプの構成を示す回路図である。

20

【図 16】従来の G m C フィルタ回路の構成を示すブロック図である。

【発明を実施するための形態】

【0018】

以下、図面を参照し、本発明の実施形態を説明する。

【0019】

(第 1 の実施形態)

< 信号処理回路の構成 >

本発明の第 1 の実施形態に係る信号処理回路 S I G \_ P R O C \_ C I R の構成について図 1 を用いて説明する。図 1 は、信号処理回路 S I G \_ P R O C \_ C I R の構成を示している。信号処理回路 S I G \_ P R O C \_ C I R は、信号列生成回路 S I G \_ A R Y \_ G E N と、最大値 / 最小値検出回路 M A X \_ M I N \_ D E T E C T と、バイアス制御回路 B I A S \_ G E N と、ドライバ回路 D R V \_ C I R と、A D 変換器 A D C と、を有する。これらの構成は同一の半導体チップ上に形成されている。

30

【0020】

信号列生成回路 S I G \_ A R Y \_ G E N は、複数の電圧信号 ( D C 電圧信号 ) で構成される電圧信号群を時分割して第一の信号列 S I G \_ A R Y 1 としてドライバ回路 D R V \_ C I R に順次出力する一方、電圧信号群を第二の信号列 S I G \_ A R Y 2 として最大値 / 最小値検出回路 M A X \_ M I N \_ D E T E C T に同時に並列的に出力する。最大値 / 最小値検出回路 M A X \_ M I N \_ D E T E C T は、第二の信号列 S I G \_ A R Y 2 が入力され、第二の信号列 S I G \_ A R Y 2 を構成する電圧信号群の最大値に対応した最大信号 V m a x と、電圧信号群の最小値に対応した最小信号 V m i n とを生成してバイアス制御回路 B I A S \_ G E N に出力する。

40

【0021】

バイアス制御回路 B I A S \_ G E N は、最大信号 V m a x と最小信号 V m i n とが入力され、最大信号 V m a x と最小信号 V m i n との差に応じて変化するバイアス制御信号 g m \_ c t r l を生成してドライバ回路 D R V \_ C I R に出力する。ドライバ回路 D R V \_ C I R は、第一の信号列 S I G \_ A R Y 1 とバイアス制御信号 g m \_ c t r l とが入力され、第一の信号列 S I G \_ A R Y 1 を、バイアス制御信号 g m \_ c t r l に応じた駆動力 ( トランスコンダクタンス ) でドライバ出力電圧 V \_ D R V O U T に変換して A D 変換器

50

A D C に出力する。

【 0 0 2 2 】

A D 変換器 A D C は、ドライバ出力電圧  $V\_DRVOUT$  が入力され、サンプル期間においてドライバ出力電圧  $V\_DRVOUT$  をサンプルする動作と、保持期間においてドライバ出力電圧  $V\_DRVOUT$  を保持する動作とを繰り返すサンプルアンドホールド回路  $SHC$  を入力段に有する。また、A D 変換器 A D C は、サンプルアンドホールド回路  $SHC$  に保持されたアナログ信号をデジタル信号である A D 変換信号  $AD\_SIG$  に変換して信号処理回路  $SIG\_PROC\_CIR$  の外部に出力する。各ブロックの内部構成と各信号との詳細については後述する。

【 0 0 2 3 】

< 信号列生成回路 >

[ 構成 ]

以下、図 2 を用いて、信号列生成回路  $SIG\_ARY\_GEN$  の構成についてより詳細に説明する。図 2 は、信号列生成回路  $SIG\_ARY\_GEN$  の構成を示している。信号列生成回路  $SIG\_ARY\_GEN$  は、画素列  $PD\_ARY$  と、スイッチ列  $SW\_ARY$  と、を有する。

【 0 0 2 4 】

画素列  $PD\_ARY$  は、半導体基板の平面上に配列され、受光量に応じた電圧信号である画素信号を生成する  $n$  ( $n: 2$  以上の整数) 個の受光素子  $PD[1] \sim PD[n]$  を有する。スイッチ列  $SW\_ARY$  は、図示しない制御信号によりオンとオフの切り替えが可能であって、第一端子および第二端子を有する  $n$  個のスイッチ  $SW[1] \sim SW[n]$  を有する。

【 0 0 2 5 】

$n$  個の受光素子  $PD[1] \sim PD[n]$  は、夫々、対応する番号のスイッチ  $SW[1] \sim SW[n]$  の第一端子に接続されており、画素信号  $VPD[1] \sim VPD[n]$  をスイッチ  $SW[1] \sim SW[n]$  の第一端子に出力する。また、 $n$  個の受光素子  $PD[1] \sim PD[n]$  は、夫々に対応して配置された信号線を介して、図 1 を用いて説明した最大値/最小値検出回路  $MAX\_MIN\_DETECT$  に接続されており、画素信号  $VPD[1] \sim VPD[n]$  を最大値/最小値検出回路  $MAX\_MIN\_DETECT$  に出力する。 $n$  個の受光素子  $PD[1] \sim PD[n]$  と最大値/最小値検出回路  $MAX\_MIN\_DETECT$  を接続する信号線は  $n$  本配置されており、これら  $n$  本の信号線の夫々に画素信号  $VPD[1] \sim VPD[n]$  の夫々が出力される。

【 0 0 2 6 】

スイッチ  $SW[1] \sim SW[n]$  の第二端子は互いに接続されている。例えば、スイッチ  $SW[1] \sim SW[n]$  の第二端子は、信号列生成回路  $SIG\_ARY\_GEN$  の出力端子に接続された出力信号線に共通に接続されている。

【 0 0 2 7 】

上記の構成を有する信号列生成回路  $SIG\_ARY\_GEN$  は、オンとなるスイッチを順次切り替えることにより、受光素子  $PD[1] \sim PD[n]$  で生成された画素信号  $VPD[1] \sim VPD[n]$  を時系列的に切り替えて第一の信号列  $SIG\_ARY1$  として順次出力する。また、信号列生成回路  $SIG\_ARY\_GEN$  は、受光素子  $PD[1] \sim PD[n]$  で生成された画素信号  $VPD[1] \sim VPD[n]$  を第二の信号列  $SIG\_ARY2$  として、受光素子  $PD[1] \sim PD[n]$  の夫々に対応して配置された信号線を介して、同時に並列的に出力する。

【 0 0 2 8 】

[ 動作シーケンス ]

以下、図 3、図 4 を用いて、信号列生成回路  $SIG\_ARY\_GEN$  の動作についてより詳細に説明する。まず、図 3 を用いて受光素子  $PD[k]$  ( $k: 1 \sim n$  である任意の整数) の動作について説明する。図 3 は、受光素子  $PD[k]$  の露光動作を説明するためのタイミングチャートである。本タイミングチャートの横軸は時間、縦軸は電圧レベル

10

20

30

40

50

である。

【0029】

受光素子  $PD[k]$  はリセット期間  $RESET\_T$  に、図示しない制御信号により  $OB$  レベル  $V_{ob}$  にリセットされる。 $OB$  レベル  $V_{ob}$  は、受光素子  $PD[k]$  がリセットされ、蓄積された電荷量が 0 となる場合に生成される電圧信号である。リセット期間  $RESET\_T$  が終了すると、続いて蓄積期間  $INTEGR\_T$  が始まる。蓄積期間  $INTEGR\_T$  中、受光素子  $PD[k]$  は、外部から入射された光量に応じた電荷を生成し、生成した電荷に応じた電圧信号を出力する。入射される光量が多い場合、蓄積期間  $INTEGR\_T$  中の画素信号  $VPD[k]$  の変化を示すスロープの傾きは急になり、画素信号  $VPD[k]$  はより短時間で飽和レベル  $V_{sat}$  に近づく。飽和レベル  $V_{sat}$  は、受光素子  $PD[k]$  が蓄積可能な最大電荷量に対応した電圧信号である。受光素子  $PD[k]$  に入射される光量と蓄積期間が適切に制御されている場合、画素信号  $VPD[k]$  は飽和レベル  $V_{sat}$  と  $OB$  レベル  $V_{ob}$  の間に保たれる。蓄積期間  $INTEGR\_T$  が終わると、続いて転送期間  $TRAN\_T$  が始まり、この時点での画素信号  $VPD[k]$  が読み出される。

10

【0030】

以下、図 4 を用いて、転送期間  $TRAN\_T$  中に受光素子  $PD[1] \sim PD[n]$  から画素信号  $VPD[1] \sim VPD[n]$  を読み出す信号読み出し動作について説明する。図 4 は、転送期間  $TRAN\_T$  中における信号読み出し動作について説明するためのタイミングチャートである。横軸は時間、縦軸は電圧レベルを表す。

【0031】

まず、転送期間  $TRAN\_T$  における受光素子  $PD[k]$  の読み出しシーケンスについて説明する。転送期間  $TRAN\_T$  は時刻  $t[1]$  に開始し、時刻  $t[n+1]$  に終了する。この期間では、スイッチ  $SW[1] \sim SW[n]$  のうち、1 つがオン、残りがオフとなり、オンとなるスイッチが順次切り替わることで、電圧信号群  $G1$  を構成する、受光素子  $PD[k]$  の画素信号  $VPD[k]$  が順次読み出される。

20

【0032】

受光素子  $PD[k]$  の画素信号  $VPD[k]$  の読み出しが行われる期間は時刻  $t[k]$  に開始し、時刻  $t[k+1]$  に終了する。図 4 において、転送期間  $TRAN\_T$  中に出力された最小レベルの画素信号は  $VPD[3]$ 、最大レベルの画素信号は  $VPD[n]$  である。以下では、最小レベルの信号と最大レベルの信号との差分を最大コントラスト  $V_{CONT\_MAX}$  と定義する。

30

【0033】

画素信号  $VPD[k]$  の取りうる電圧の範囲は  $OB$  レベル  $V_{ob}$  から飽和レベル  $V_{sat}$  までの範囲である。以下では、 $OB$  レベル  $V_{ob}$  と飽和レベル  $V_{sat}$  との差分を最大振幅  $V_{SWING\_MAX}$  と定義する。 $OB$  レベル  $V_{ob}$  は、受光素子  $PD[k]$  に光が全く当たらなかった場合に出力される画素信号に相当する。飽和レベル  $V_{sat}$  は、光電変換によって受光素子  $PD[k]$  に発生した電荷が最大蓄積量に達した場合に出力される画素信号に相当する。

【0034】

転送期間  $TRAN\_T$  が終わると、リセット期間  $RESET\_T$  が始まる。リセット期間  $RESET\_T$  が終わると、蓄積期間  $INTEGR\_T$  が始まる。蓄積期間  $INTEGR\_T$  が終わると、新たな転送期間  $TRAN\_T'$  が始まる。転送期間  $TRAN\_T'$  は時刻  $t'[1]$  に開始し、時刻  $t'[n+1]$  に終了する。この期間では、電圧信号群  $G2$  を構成する、受光素子  $PD[k]$  の画素信号  $VPD[k]$  が順次読み出される。以下では、転送期間  $TRAN\_T'$  中に得られた最小レベルの信号と最大レベルの信号との差分を最大コントラスト  $V'_{CONT\_MAX}$  と定義する。

40

【0035】

< 最大値 / 最小値検出回路 >

[ 構成 ]

以下、最大値 / 最小値検出回路  $MAX\_MIN\_DETECT$  について図 5 を用いて説

50

明する。図5は、最大値/最小値検出回路MAX\_\_MIN\_\_DETECTの構成を示している。最大値/最小値検出回路MAX\_\_MIN\_\_DETECTは、最大値検出回路MAX\_\_DETECTと、最小値検出回路MIN\_\_DETECTと、を有する。

【0036】

最大値検出回路MAX\_\_DETECTは、入力された第二の信号列SIG\_\_ARY2を構成する画素信号VPD[1]~VPD[n]の中から最大値を検出し、検出した最大値に対応する最大信号Vmaxを出力する。最小値検出回路MIN\_\_DETECTは、入力された第二の信号列SIG\_\_ARY2を構成する画素信号VPD[1]~VPD[n]の中から最小値を検出し、検出した最小値に対応する最小信号Vminを出力する。

【0037】

最大値検出回路MAX\_\_DETECTは、n個のNMOSトランジスタTr1[1]~Tr1[n]と、第一端子および第二端子を有する第一の電流源Iconst1と、を有する。最小値検出回路MIN\_\_DETECTは、n個のPMOSトランジスタTr2[1]~Tr2[n]と、第一端子および第二端子を有する第二の電流源Iconst2と、を有する。

【0038】

NMOSトランジスタTr1[1]~Tr1[n]のゲート端子は、図2に記載された受光素子PD[1]~PD[n]に夫々接続されており、画素信号VPD[1]~VPD[n]が入力される。また、NMOSトランジスタTr1[1]~Tr1[n]のドレイン端子は夫々、第一の電源VDDに接続され、NMOSトランジスタTr1[1]~Tr1[n]のソース端子は互いに接続されると共に、夫々、第一の電流源Iconst1の第一端子に接続されている。NMOSトランジスタTr1[1]~Tr1[n]のソース端子と、第一の電流源Iconst1の第一端子とが接続された部分(例えば、両者を接続する信号線上の1つのノード)から、最大信号Vmaxが出力される。また、第一の電流源Iconst1の第二端子は第二の電源VSSに接続されている。

【0039】

PMOSトランジスタTr2[1]~Tr2[n]のゲート端子は、図2に記載された受光素子PD[1]~PD[n]に夫々接続されており、画素信号VPD[1]~VPD[n]が入力される。また、PMOSトランジスタTr2[1]~Tr2[n]のドレイン端子は夫々、第二の電源VSSに接続され、PMOSトランジスタTr2[1]~Tr2[n]のソース端子は互いに接続されると共に、夫々、第二の電流源Iconst2の第一端子に接続されている。PMOSトランジスタTr2[1]~Tr2[n]のソース端子と、第二の電流源Iconst2の第一端子とが接続された部分(例えば、両者を接続する信号線上の1つのノード)から、最小信号Vminが出力される。また、第二の電流源Iconst2の第二端子は第一の電源VDDに接続されている。

【0040】

[動作原理]

以下、最大値検出回路MAX\_\_DETECTの動作原理について説明する。NMOSトランジスタTr1[1]~Tr1[n]と第一の電流源Iconst1は一種のソースフォロアとみなすことができ、ゲートに最も高い電圧が入力されたソースフォロアトランジスタのみがオンとなる。画素信号VPD[1]~VPD[n]の中の最大値をVPDmaxとした場合、最大信号Vmaxは(1)式で与えられる。

【0041】

【数2】

$$V_{\max} = k_1 VPD_{\max} - V_{gsn} \quad \dots (1)$$

【0042】

ただし、k1は、NMOSトランジスタの基板効果を表す係数であり、通常0.6~0

10

20

30

40

50

．9程度の値である。また、 $V_{gsn}$ は、第一の電流源 $I_{const1}$ が流す回路電流（定電流）を供給するために必要なNMOSトランジスタのゲート-ソース間電圧である。NMOSトランジスタの基板効果を表す係数 $k_1$ は製造プロセスにより略一定の値である。また、第一の電流源 $I_{const1}$ に流す回路電流を正確に制御することにより、 $V_{gsn}$ の概略値を予め予想できる。したがって、本実施形態に係る最大値検出回路MAX\_DETECTを用いることにより、画素信号 $VPD[k]$ の略最大値に対応した最大信号 $V_{max}$ の値を検出することができる。

【0043】

以下、最小値検出回路MIN\_DETECTの動作原理について説明する。PMOSトランジスタ $Tr2[1] \sim Tr2[n]$ と第二の電流源 $I_{const2}$ は一種のソースフォロアとみなすことができ、ゲートに最も低い電圧が入力されたソースフォロアトランジスタのみがオンとなる。画素信号 $VPD[1] \sim VPD[n]$ の中の最小値を $VPD_{min}$ とした場合、最小信号 $V_{min}$ は(2)式で与えられる。

10

【0044】

【数3】

$$V_{min} = k_2 VPD_{min} - V_{gsp} \quad \dots (2)$$

【0045】

ただし、 $k_2$ は、PMOSトランジスタの基板効果を表す係数であり、通常0.6～0.9程度の値である。また、 $V_{gsp}$ は、第二の電流源 $I_{const2}$ が流す回路電流（定電流）を供給するために必要なPMOSトランジスタのゲート-ソース間電圧である。PMOSトランジスタの基板効果を表す係数 $k_2$ は製造プロセスにより略一定の値である。また、第二の電流源 $I_{const2}$ に流す回路電流を正確に制御することにより、 $V_{gsp}$ の概略値を予め予想できる。したがって、本実施形態に係る最小値検出回路MIN\_DETECTを用いることにより、画素信号 $VPD[k]$ の略最小値に対応した最小信号 $V_{min}$ の値を検出することができる。

20

【0046】

< バイアス制御回路、ドライバ回路、およびサンプルアンドホールド回路 >

30

[構成]

以下、図6および図7を参照して、バイアス制御回路BIAS\_GEN、ドライバ回路DRV\_CIR、およびサンプルアンドホールド回路SHCについてより詳細に説明する。図6は、バイアス制御回路BIAS\_GEN、ドライバ回路DRV\_CIR、およびサンプルアンドホールド回路SHCの構成を示している。図7は、サンプルアンドホールド回路SHCがドライバ回路DRV\_CIRによって駆動される際の動作について説明するためのタイミングチャートである。

【0047】

まず、図6を用いてサンプルアンドホールド回路SHCの構成について説明する。サンプルアンドホールド回路SHCは、入力端子、出力端子、および制御端子を有しサンプリングクロックSHによりオンとオフが制御可能なサンプリングスイッチ $S_1$ と、第一端子および第二端子を有し容量の値が $C_{SH}$ であるサンプリング容量 $C_{SH}$ と、を有する。

40

【0048】

サンプリングスイッチ $S_1$ の入力端子にはドライバ回路DRV\_CIRからドライバ出力電圧 $V_{DRVOUT}$ が入力され、制御端子にはサンプリングクロックSHが入力される。また、サンプリングスイッチ $S_1$ の出力端子はサンプリング容量 $C_{SH}$ の第一端子と接続されている。サンプリング容量 $C_{SH}$ の第一端子はサンプリングスイッチ $S_1$ の出力端子に接続されており、サンプリング容量 $C_{SH}$ の第二端子は第二の電源VSSに接続されている。以下では、サンプリングスイッチ $S_1$ の出力端子の電圧をサンプリング電圧 $V_{SH}$ と定義する。図6に記載されているドライバ回路DRV\_CIRおよびバイアス

50

制御回路 B I A S \_ G E N の動作と互いの接続については図 1 を用いて既に説明した通りである。より詳細な説明については後述する。

【 0 0 4 9 】

[ 動作原理 ]

次に、図 7 を用いて、サンプルアンドホールド回路 S H C の動作と、サンプルアンドホールド回路 S H C を駆動するドライバ回路 D R V \_ C I R およびバイアス制御回路 B I A S \_ G E N の動作とについて詳細に説明する。図 7 に示すタイミングチャートの横軸は時間であり、縦軸は電圧または論理レベルを表す。

【 0 0 5 0 】

図 7 の上段の矩形波はサンプリングクロック S H の時間変化を表す。サンプリングクロック S H は、サンプル期間の間、ハイレベル（以降、H レベル）となり、保持期間の間、ローレベル（以降、L レベル）となる。サンプル期間は  $t_s$  秒継続し、保持期間は  $t_h$  秒継続し、サンプル期間と保持期間が交互に周期的に繰り返される。 $t_s$  秒のサンプル期間が継続した後、 $t_h$  秒の保持期間が継続し、続いて  $t_s$  秒のサンプル期間が再度継続した後、 $t_h$  秒の保持期間が再度継続する。サンプル期間ではサンプリングクロック S H が H レベルであるためサンプリングスイッチ S 1 はオンであり、ホールド期間ではサンプリングクロック S H が L レベルであるためサンプリングスイッチ S 1 はオフである。

10

【 0 0 5 1 】

図 7 の下段はサンプリング電圧  $V_{SH}$  の時間変化を表す。図 7 に示すタイミングチャートは画素信号  $V_{PD}[k-1]$  の保持期間から始まっており、この保持期間にサンプリング電圧  $V_{SH}$  は  $V_{PD}[k-1]$  に維持されている。時刻  $t[k]$  に画素信号  $V_{PD}[k]$  のサンプル期間が始まると、時刻  $t[k]'$  におけるサンプリング電圧  $V_{SH}$  は以下の (3) 式で与えられる。

20

【 0 0 5 2 】

【 数 4 】

$$\varepsilon < V_1 \cdot e^{-t_s/\tau} \quad \dots (3)$$

【 0 0 5 3 】

ここで、サンプリング誤差  $\varepsilon$  は、画素信号  $V_{PD}[k]$  と、実際のサンプリング電圧  $V_{SH}$  との差を表す電圧であり、 $\varepsilon = V_{PD}[k] - V_{SH}$  の関係式で与えられる。また、 $V_1$  は、画素信号  $V_{PD}[k]$  と画素信号  $V_{PD}[k-1]$  との差を表す電圧である。また、 $t_s$  は、時刻  $t[k]'$  と時刻  $t[k]$  との差を表す時間である。また、 $\tau = C_{SH} / g_m$  の関係式で与えられる時定数である。

30

【 0 0 5 4 】

(3) 式を変形することにより、サンプリング誤差が所定のサンプリング誤差以下となるようにドライバ出力電圧  $V_{DRVOUT}$  をサンプリングするために求められるドライバ回路 D R V \_ C I R のトランスコンダクタンス  $g_m$  の値は以下の (4) 式を満たす必要があることがわかる。

40

【 0 0 5 5 】

【 数 5 】

$$-\frac{C_{SH}}{t_s} \ln \frac{\varepsilon}{V_{CONT\_MAX}} < g_m \quad \dots (4)$$

【 0 0 5 6 】

(4) 式において、最大コントラスト  $V_{CONT\_MAX}$  は、図 4 を用いて説明した通り、最大信号  $V_{max}$  と最小信号  $V_{min}$  との差を表す信号である。また、(4) 式において、 $\ln$  は自然対数 (e を底とする対数) である。

50

## 【 0 0 5 7 】

もし、本実施形態における最大値 / 最小値検出回路 MAX\_\_MIN\_\_DETECT が存在しない場合、ドライバ回路 DRV\_\_CIR は、飽和レベル Vsat と OB レベル Vob との間に存在する任意の振幅を有する信号をサンプル期間 ts 中に駆動する必要がある。このため、以下の ( 5 ) 式を満たすトランスコンダクタンス gm' でドライバ回路 DRV\_\_CIR を動作させ、サンプリング容量 CSH を駆動する必要がある。

## 【 0 0 5 8 】

## 【 数 6 】

$$-\frac{C_{SH}}{t_s} \ln \frac{\varepsilon}{V_{SWING\_MAX}} < gm' \quad \dots (5)$$

10

## 【 0 0 5 9 】

( 5 ) 式において、最大振幅 VSWING\_\_MAX は、図 4 を用いて説明した通り、飽和レベル Vsat と OB レベル Vob との差分である。また、( 5 ) 式において、ln は自然対数 ( e を底とする対数 ) である。図 4 から、VCONT\_\_MAX < VSWING\_\_MAX は明らかなので、以下の ( 6 ) 式が成り立つようにドライバ回路 DRV\_\_CIR を制御することが可能となる。

$$gm < gm' \quad \dots (6)$$

## 【 0 0 6 0 】

20

詳細については後述する通り、トランスコンダクタンス gm は回路電流の増加関数 ( 回路電流が増加すると値が増加する関数 ) で表わされる。このため、( 6 ) 式が成り立つようにドライバ回路 DRV\_\_CIR を制御すると、ドライバ回路 DRV\_\_CIR の消費電流は、最大振幅 VSWING\_\_MAX に対応するトランスコンダクタンス gm' でドライバ回路 DRV\_\_CIR を動作させる場合よりも小さくなる。言い換えると、本実施形態におけるドライバ回路 DRV\_\_CIR は、従来よりも小さな消費電流であっても、所定のサンプル期間 ts 内に、サンプリング誤差を、許容されるサンプリング誤差 以下に抑えつつドライバ出力電圧 V\_\_DRVOUT をサンプリングするようにサンプルアンドホールド回路 SHC を駆動することができる。

## 【 0 0 6 1 】

30

以上に説明した通り、第 1 の実施形態における信号処理回路 SIG\_\_PROC\_\_CIR では、ドライバ回路 DRV\_\_CIR は、予め最大値 / 最小値検出回路 MAX\_\_MIN\_\_DETECT から得た画素信号の最大値と最小値の差分 ( 被写体映像の最大コントラストに相当 ) を所定のサンプリング時間内にサンプリングするのに必要最低限なトランスコンダクタンス gm でサンプルアンドホールド回路 SHC を駆動する。サンプルアンドホールド回路 SHC がフルダイナミックレンジ ( 画素信号の黒レベルと飽和レベルとの差 ) を所定のサンプリング時間内にサンプリングするために必要なトランスコンダクタンスよりも小さなトランスコンダクタンスでドライバ回路 DRV\_\_CIR が動作しても、サンプリング誤差を所定値以下とすることができる。このため、従来よりもドライバ回路 DRV\_\_CIR の消費電力を削減することができる。

40

## 【 0 0 6 2 】

< ドライバ回路 DRV\_\_CIR の構成および動作原理 >

[ 構成 ]

以下、ドライバ回路 DRV\_\_CIR の構成について、図 8 を用いて説明する。図 8 は、ドライバ回路 DRV\_\_CIR の構成を示している。ドライバ回路 DRV\_\_CIR は、テール電流源 I\_\_TAIL と、第一のトランジスタ M1 と、第二のトランジスタ M2 と、第三のトランジスタ M3 と、第四のトランジスタ M4 と、を有する。

## 【 0 0 6 3 】

テール電流源 I\_\_TAIL は、第一端子および第二端子を有し、第一端子が第一の電源 VDD に接続され、図 1 に記載されたバイアス制御回路 BIAS\_\_GEN から入力される

50

バイアス制御信号  $g m\_c t r l$  により電流値が制御されるテール電流  $I t a i l$  を第二端子から出力する。第一のトランジスタ  $M 1$  は、テール電流  $I t a i l$  がソース端子から入力され、ゲート端子が非反転入力端子  $V +$  に接続された第一導電型のトランジスタである。第二のトランジスタ  $M 2$  は、テール電流  $I t a i l$  がソース端子から入力され、ゲート端子が反転入力端子  $V -$  に接続された第一導電型のトランジスタである。反転入力端子  $V -$  は出力端子  $V O U T$  と第四のトランジスタ  $M 4$  のドレイン端子に接続されている。

【0064】

第三のトランジスタ  $M 3$  は、ドレイン端子が第一のトランジスタ  $M 1$  のドレイン端子に接続され、ソース端子が第二の電源  $V S S$  に接続され、ゲート端子が第一のトランジスタ  $M 1$  のドレイン端子および第四のトランジスタ  $M 4$  のゲート端子に接続された第二導電型のトランジスタである。第四のトランジスタ  $M 4$  は、ドレイン端子が第二のトランジスタ  $M 2$  のドレイン端子および出力端子  $V O U T$  に接続され、ソース端子が第二の電源  $V S S$  に接続された第二導電型のトランジスタである。

10

【0065】

本実施形態において、第一の電源  $V D D$  は電源電圧であり、第二の電源  $V S S$  はグラウンドである。また、第一導電型のトランジスタは  $P M O S$  トランジスタであり、第二導電型のトランジスタは  $N M O S$  トランジスタである。

【0066】

第一のトランジスタ  $M 1$  および第二のトランジスタ  $M 2$  は、差動対  $D I F F\_S T A G E$  (差動対回路) を構成しており、入力されたテール電流  $I t a i l$  の値に応じた所定のトランスコンダクタンス  $g m d$  で、反転入力端子  $V -$  と、非反転入力端子  $V +$  とに入力された電圧の差分に応じた電流  $I o u t$  を出力端子  $V O U T$  に出力する。非反転入力端子  $V +$  には、第一の信号列  $S I G\_A R Y 1$  が入力される。

20

【0067】

また、第三のトランジスタ  $M 3$  および第四のトランジスタ  $M 4$  は、負荷回路  $L O A D\_S T A G E$  を構成しており、差動対  $D I F F\_S T A G E$  から入力された電流信号を電圧信号に変換して出力端子  $V O U T$  に出力する。

【0068】

[動作原理]

以下、図8、図9、および図10を用いて、ドライバ回路  $D R V\_C I R$  の動作原理について説明する。図9は、差動対  $D I F F\_S T A G E$  に流れる電流とトランスコンダクタンスの関係を示している。図10は、テール電流源  $I\_T A I L$  の構成の変形例を示している。

30

【0069】

まず、図8を用いてドライバ回路  $D R V\_C I R$  の基本動作を説明する。ドライバ回路  $D R V\_C I R$  は、一般的な  $O T A$  (Operational Transconductance Amplifier) を構成するテール電流源  $I\_T A I L$  の出力電流を可変にただけである。その詳細な動作は、参考文献の p 186 - 190 に記載されている。参考文献では、第一の電源  $V D D$  はグラウンド、第二の電源  $V S S$  は電源電圧、第一導電型のトランジスタは  $N M O S$  トランジスタ、第二導電型のトランジスタは  $P M O S$  トランジスタとなっているが、その基本動作は同じである。

40

参考文献：Behzad Razav, 「アナログCMOS集積回路の設計 基礎編」、丸善株式会社、2003年

【0070】

参考文献からも分かる通り、トランスコンダクタンスアンプのトランスコンダクタンス  $g m$  は、差動対を構成する第一のトランジスタ  $M 1$  と第二のトランジスタ  $M 2$  とのトランスコンダクタンス  $g m d$  により決定される ( $g m = g m d$ ) 。

【0071】

差動対  $D I F F\_S T A G E$  を構成する第一のトランジスタ  $M 1$  と第二のトランジスタ  $M 2$  とが弱反転領域で動作する場合、ドレイン電流  $I_D$  は以下の(7)式で与えられる。

50

【 0 0 7 2 】

【 数 7 】

$$I_D = \frac{W}{L} I_t \exp\left(\frac{V_{GS} - V_{TH}}{nV_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \dots (7)$$

【 0 0 7 3 】

したがって、これらのトランジスタのトランスコンダクタンス  $g_{md}$  は以下の (8) 式  
 で与えられ、ドレイン電流  $I_D$  に比例することがわかる。

10

【 0 0 7 4 】

【 数 8 】

$$g_{md} = \frac{\partial I_D}{\partial V_{GS}} = \frac{W}{L} \left(\frac{I_t}{nV_T}\right) \exp\left(\frac{V_{GS} - V_{TH}}{nV_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] = \frac{W}{L} \left(\frac{I_t}{nV_T}\right) I_D \dots (8)$$

【 0 0 7 5 】

ただし、 $W$  は MOS トランジスタのゲート幅、 $L$  は MOS トランジスタのゲート長、 $I_t$  は MOS トランジスタのテクノロジー電流、 $n$  は MOS トランジスタの弱反転領域におけるスロープファクター、 $V_T$  は熱電圧、 $V_{GS}$  は MOS トランジスタのゲートソース間電圧、 $V_{DS}$  は MOS トランジスタのドレインソース間電圧である。したがって、テール電流  $I_{tail}$  の値の大小により、ドライバ回路  $DRV\_CIR$  のトランスコンダクタンス  $g_m$  の値を制御できることは明らかである。

20

【 0 0 7 6 】

差動対  $DIFF\_STAGE$  が弱反転領域で動作している場合、トランスコンダクタンス  $g_m$  の値はドレイン電流  $I_D$  に比例する。このため、バイアス制御信号  $g_{m\_ctrl}$  を適切な値に制御することにより、図 9 の実線に示すような特性を実現することができる。図 9 に示すグラフの横軸はドレイン電流  $I_D$  を表し、縦軸はトランスコンダクタンス  $g_{md}$  を表す。

30

【 0 0 7 7 】

差動対  $DIFF\_STAGE$  を構成するトランジスタの動作領域は強反転領域であっても良いし、中間領域であっても良い。差動対  $DIFF\_STAGE$  を構成するトランジスタの動作領域が強反転領域である場合、トランスコンダクタンス  $g_m$  はドレイン電流  $I_D$  の平方根に比例するので、バイアス制御信号  $g_{m\_ctrl}$  を適切な値に制御することにより、図 9 の破線で示すような特性が得られる。差動対  $DIFF\_STAGE$  を構成するトランジスタの動作領域が中間領域である場合、弱反転領域と強反転領域の中間の特性が得られる。

【 0 0 7 8 】

図 10 に示すように、トランスコンダクタンス  $g_m$  は、テール電流源  $I\_TAIL$  を構成するカレントミラー回路のミラー比をバイアス制御信号  $g_{m\_ctrl}$  により変更することによって実現されても良い。ミラー比の変更により、ドレイン電流  $I_D$  の値は離散的に変化するので、図 9 の二重丸に示すような特性が得られる。図 9 では、ミラー比 ( $M$ ) が増加すると、トランスコンダクタンス  $g_m$  が増加する。以上に説明した全ての変形例において、 $g_m$  は  $I_D$  に対する増加関数である。

40

【 0 0 7 9 】

ドレイン電流  $I_D$  を供給するテール電流源  $I\_TAIL$  のテール電流  $I_{tail}$  は、バイアス制御信号  $g_{m\_ctrl}$  によって制御される。前述したように、バイアス制御信号  $g_{m\_ctrl}$  は、最大信号  $V_{max}$  と最小信号  $V_{min}$  との差に応じて変化する。より

50

具体的には、最大信号  $V_{max}$  と最小信号  $V_{min}$  との差が増加するとトランスコンダクタンス  $g_m$  の値が増加し、最大信号  $V_{max}$  と最小信号  $V_{min}$  との差が減少するとトランスコンダクタンス  $g_m$  の値が減少するように、バイアス制御信号  $g_{m\_control}$  が制御される。

【0080】

(第2の実施形態)

<カプセル内視鏡>

[構成]

本発明の第2の実施形態に係るカプセル内視鏡SCOPEについて、図11および図12を用いて説明する。図11は、カプセル内視鏡SCOPEの構成を示している。図12は、人体の胃壁を示している。

10

【0081】

先ず、図11を用いてカプセル内視鏡SCOPEの構成について説明する。カプセル内視鏡SCOPEは、対物レンズOLと、信号処理回路SIG\_PROC\_CIR'と、画像処理回路MPUと、電源供給回路SUPと、を有する。

【0082】

対物レンズOLは、被写体から入力された光束LIGHTを、信号処理回路SIG\_PROC\_CIR'上に形成された画素列PD\_ARRAYに結像する。信号処理回路SIG\_PROC\_CIR'は、画素列PD\_ARRAYに入射された光量に応じて生成された電圧信号に対応したデジタル信号であるAD変換信号AD\_SIGを出力する。画像処理回路MPUは、入力されたAD変換信号AD\_SIGに基づいた画像処理を行い、被写体に関する画像を生成する。電源供給回路SUPは、信号処理回路SIG\_PROC\_CIR'と画像処理回路MPUに電源を供給する。

20

【0083】

被写体から入力された光束LIGHTは、対物レンズOLを通して、画素列PD\_ARRAYに結像される。信号処理回路SIG\_PROC\_CIR'は、画像処理回路MPUに接続されており、画像処理回路MPUにAD変換信号AD\_SIGを出力する。電源供給回路SUPは、信号処理回路SIG\_PROC\_CIR'および画像処理回路MPUに接続されており、各回路の動作に必要な電源を供給する。

【0084】

30

[動作]

カプセル内視鏡SCOPEは、患者がカプセル内視鏡SCOPEを口から飲み込み肛門から排出するまでの体内の映像を撮影するために用いられる。主な撮影対象は、胃、小腸、大腸である。一次元方向に配列された複数の受光素子を有する画素列PD\_ARRAYを、例えば受光素子が配列された方向と直交する方向に複数配置することによって、二次元映像を取得することができる。例えば、 $n$ 個の画素列PD\_ARRAYが配置されている場合、 $n$ 個の画素列PD\_ARRAYのそれぞれが、図12に示す矢印L1, L2, ..., Lnが通過する領域の画像を構成する電圧信号を生成する。

【0085】

画素列PD\_ARRAYは、画素列PD\_ARRAYに入力された光量に応じた電圧信号を出力する。画素列PD\_ARRAYから出力された電圧信号はAD変換器ADCでAD変換信号AD\_SIGに変換される。AD変換信号AD\_SIGに対して、画像処理回路MPUにおいて、画像処理の演算が行われ、最終的に、図12に示すような映像が生成される。映像の更新は所定のフレームレート(フレーム周期)で行われ、典型的な使用例では1秒間に1回から100回程度、映像の更新が行われる。信号処理回路SIG\_PROC\_CIR'の詳細な動作については以下で説明する。

40

【0086】

<信号処理回路SIG\_PROC\_CIR'>

[構成]

以下、信号処理回路SIG\_PROC\_CIR'の構成について図13を用いて説明す

50

る。図13は、信号処理回路SIG\_PROC\_CIR'の構成を示している。信号処理回路SIG\_PROC\_CIR'は、信号列生成回路SIG\_ARY\_GEN'と、ドライバ回路DRV\_CIRと、AD変換器ADCと、最大値/最小値検出回路MAX\_MIN\_DETECT'と、バイアス制御回路BIAS\_GEN'と、を有する。これらの構成は同一の半導体チップ上に形成されている。

【0087】

信号列生成回路SIG\_ARY\_GEN'は、複数の電圧信号(DC電圧信号)で構成される電圧信号群を所定のフレーム周期で繰り返し時分割して第一の信号列SIG\_ARY1としてドライバ回路DRV\_CIRに出力する。ドライバ回路DRV\_CIRは、第一の信号列SIG\_ARY1とバイアス制御信号gm\_ctrl'が入力され、第一の信号列SIG\_ARY1を、バイアス制御信号gm\_ctrl'に応じたトランスコンダクタンスでドライバ出力電圧V\_DRVOUTに変換してサンプルアンドホールド回路SHCに出力する。AD変換器ADCは、サンプルアンドホールド回路SHCを入力段に有し、サンプルアンドホールド回路SHCに保持されたアナログ信号をデジタル信号であるAD変換信号AD\_SIGに変換して、図11に記載された画像処理回路MPUに出力する。

10

【0088】

最大値/最小値検出回路MAX\_MIN\_DETECT'は、AD変換信号AD\_SIGが入力され、1フレーム分の第一の信号列SIG\_ARY1に対応するAD変換信号AD\_SIGの最大値に対応した最大信号V\_max'と、最小値に対応した最小信号V\_min'を生成してバイアス制御回路BIAS\_GEN'に出力する。バイアス制御回路BIAS\_GEN'は、最大信号V\_max'と最小信号V\_min'が入力され、1つ前のフレーム(第1のフレーム)に出力された最大信号V\_max'と最小信号V\_min'との差である最大コントラストV\_CONT\_MAXに基づき、次のフレーム(第2のフレーム)に出力される最大信号V\_max'と最小信号V\_min'との差である最大コントラストV'\_CONT\_MAXを予想し、次のフレームに出力される第一の信号列SIG\_ARY1の処理に使用されるバイアス制御信号gm\_ctrl'を生成してドライバ回路DRV\_CIRに出力する。

20

【0089】

[動作]

ドライバ回路DRV\_CIRとサンプルアンドホールド回路SHCの内部構成および動作は、図1に記載された各回路の内部構成および動作と同じであり、詳細な説明は省略する。図14は、信号列生成回路SIG\_ARY\_GEN'の構成を示している。信号列生成回路SIG\_ARY\_GEN'の構成は、図2に示す信号列生成回路SIG\_ARY\_GEN'から、第二の信号列SIG\_ARY2を取り出すための信号線を取り除いたこと以外は同じであるため、信号列生成回路SIG\_ARY\_GEN'の構成についての詳細な説明は省略する。

30

【0090】

以下、図4を再度引用し、信号処理回路SIG\_PROC\_CIR'における読み出しシーケンスについて説明する。最大値/最小値検出回路MAX\_MIN\_DETECT'およびバイアス制御回路BIAS\_GEN'の機能は、図1に記載されたものと異なるため、後述する。

40

【0091】

先ず、図4を用いて、最大値/最小値検出回路MAX\_MIN\_DETECT'について説明する。最大値/最小値検出回路MAX\_MIN\_DETECT'は、AD変換器ADCによりAD変換された電圧信号群G1に対応したAD変換信号AD\_SIGを用いて、1フレーム前の転送期間TRAN\_Tに読み出された電圧信号群G1の最大コントラストV\_CONT\_MAXを決定し、次のフレームの転送期間TRAN\_T'に読み出される電圧信号群G2の最大コントラストを予想する。例えば、1フレーム前の転送期間TRAN\_Tに読み出された電圧信号群G1の最大コントラストV\_CONT\_MAXの2割増し

50

である  $1.2 \times V_{CONT\_MAX}$  を次のフレームにおける最大コントラストであると予想する。このような予想演算を行った結果、以下の(9)式が成り立てば、サンプリング誤差を所定のサンプリング誤差以下に抑えつつドライバ出力電圧  $V\_DRVOUT$  をサンプリングするようにサンプルアンドホールド回路  $SHC$  を駆動することができる。

$$V'_{CONT\_MAX} = 1.2 \times V_{CONT\_MAX} \quad \dots (9)$$

【0092】

ただし、 $V'_{CONT\_MAX}$  は、実際に次のフレームで読み出された電圧信号群  $G2$  の最大コントラストである。したがって、(9)式および以下の(10)式の両方が成り立つ撮影条件である限り、(6)式が成り立つので、本実施形態に係る信号処理回路  $SIG\_PROC\_CIR'$  は従来技術に比べて消費電流を低減することができる。

$$1.2 \times V_{CONT\_MAX} < V_{SWING\_MAX} \quad \dots (10)$$

【0093】

信号処理回路  $SIG\_PROC\_CIR'$  が、本実施形態に係るカプセル内視鏡  $SCOPE$  に搭載されることにより、より消費電力を低減する効果が得られる。これは、以下の2点が挙げられるためである。第一の点は、図12で示した通り、一般に胃壁の腸壁の映像のコントラストは低く、最大コントラスト  $V_{CONT\_MAX}$  の値が小さいことである。第二の点は、カプセル内視鏡  $SCOPE$  が定期的に撮影を繰り返すことにより生成される映像が同様な映像であるため、1つ前のフレームに読み出された電圧信号群の最大コントラスト  $V_{CONT\_MAX}$  に基づいた次のフレームにおける最大コントラスト  $V'_{CONT\_MAX}$  の予想を正確に行いやすいことである。

【0094】

以上に説明した通り、本実施形態に係るカプセル内視鏡  $SCOPE$  に搭載された信号処理回路  $SIG\_PROC\_CIR'$  を構成するドライバ回路  $DRV\_CIR$  は、図12の矢印  $L1, L2$  が示すような、コントラスト(明暗差)の低い被写体に対応した部分では小さなトランスコンダクタンス  $gm$  でサンプルアンドホールド回路  $SHC$  を駆動する。また、本実施形態に係るカプセル内視鏡  $SCOPE$  に搭載された信号処理回路  $SIG\_PROC\_CIR'$  を構成するドライバ回路  $DRV\_CIR$  は、図12の矢印  $Ln$  が示すような、比較的大きなコントラストを有する被写体に対応した部分では大きなトランスコンダクタンス  $gm$  で動作する。

【0095】

カプセル内視鏡  $SCOPE$  が撮影対象とする被写体(例えば、胃壁や腸壁)の映像がローコントラストであることが多いため、ドライバ回路  $DRV\_CIR$  が駆動すべき信号の最大値と最小値の差分は小さくなる傾向にある。したがって、本実施形態に係る信号処理回路  $SIG\_PROC\_CIR'$  をカプセル内視鏡  $SCOPE$  に搭載することにより、ドライバ回路  $DRV\_CIR$  はより長い時間、小さなトランスコンダクタンスで動作するため、カプセル内視鏡  $SCOPE$  は従来よりも小さな消費電力で動作することができる。

【0096】

<変形例>

以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

【0097】

ドライバ回路  $DRV\_CIR$  の構成は、図8に示す構成に限らない。例えば、図15に示すトランスコンダクタンスアンプでドライバ回路  $DRV\_CIR$  を構成しても良いし、これ以外の構成のトランスコンダクタンスアンプでドライバ回路  $DRV\_CIR$  を構成しても良い。

【0098】

以下、図15に示すトランスコンダクタンスアンプについて説明する。図15に示すトランスコンダクタンスアンプは、PMOSトランジスタ  $P1, P2, P3, P4, P1', P3', P4'$  と、NMOSトランジスタ  $N1, N2, N3, N4, N1', N3'$  ,

10

20

30

40

50

N 4 ' と、を有する。

【 0 0 9 9 】

P M O S トランジスタ P 2 は第一のテール電流源 I \_ T A I L 1 を構成する。N M O S トランジスタ N 2 は第二のテール電流源 I \_ T A I L 2 を構成する。P M O S トランジスタ P 3 , P 3 ' および N M O S トランジスタ N 3 , N 3 ' は差動対 D I F F \_ S T A G E を構成する。P M O S トランジスタ P 1 , P 4 , P 1 ' , P 4 ' および N M O S トランジスタ N 1 , N 4 , N 1 ' , N 4 ' は負荷回路 L O A D \_ S T A G E を構成する。

【 0 1 0 0 】

図 1 5 では省略されているが、P M O S トランジスタ P 3 のドレイン端子は N M O S トランジスタ N 1 のドレイン端子および N M O S トランジスタ N 4 のソース端子に接続され、P M O S トランジスタ P 3 ' のドレイン端子は N M O S トランジスタ N 1 ' のドレイン端子および N M O S トランジスタ N 4 ' のソース端子に接続され、N M O S トランジスタ N 3 のドレイン端子は P M O S トランジスタ P 1 のドレイン端子および P M O S トランジスタ P 4 のソース端子に接続され、N M O S トランジスタ N 3 ' のドレイン端子は P M O S トランジスタ P 1 ' のドレイン端子および P M O S トランジスタ P 4 ' のソース端子に接続されている。

10

【 0 1 0 1 】

また、図 8 に記載のドライバ回路 D R V \_ C I R において、第一の電源 V D D は電源電圧であり、第二の電源 V S S はグラウンドであり、第一導電型のトランジスタは P M O S トランジスタであり、第二導電型のトランジスタは N M O S トランジスタである。電源および導電型の形態はこれ以外であってもよく、例えば、第一の電源 V D D がグラウンドであり、第二の電源 V S S が電源電圧であり、第一導電型のトランジスタが N M O S トランジスタであり、第二導電型のトランジスタが P M O S トランジスタであっても良い。

20

【 0 1 0 2 】

また、ドライバ回路 D R V \_ C I R はシングルエンド型であるとして説明を行ったが、全差動型のドライバ回路であっても構わない。

【 0 1 0 3 】

また、図 2 では、n 個の受光素子 P D [ 1 ] ~ P D [ n ] が全て最大値 / 最小値検出回路 M A X \_ M I N \_ D E T E C T に接続されているが、最大値 / 最小値検出回路 M A X \_ M I N \_ D E T E C T に接続される受光素子の数は n 個よりも少なくても良い。例えば、受光素子 P D [ 1 ] ~ P D [ n ] と最大値 / 最小値検出回路 M A X \_ M I N \_ D E T E C T を接続する信号線を 1 本毎に間引いても、最大コントラスト V \_ C O N T \_ M A X の概算値を求めることができ、配線に必要な面積を抑えることができる。

30

【 0 1 0 4 】

また、図 1 1 に示す信号処理回路 S I G \_ P R O C \_ C I R ' が、第 1 の実施形態に係る信号処理回路 S I G \_ P R O C \_ C I R であっても、同様の効果が得られる。

【 0 1 0 5 】

また、第 2 の実施形態では、バイアス制御回路 B I A S \_ G E N ' は、1 つ前のフレームに出力された最大信号 V m a x ' と最小信号 V m i n ' との差である最大コントラスト V \_ C O N T \_ M A X に基づき、次のフレームに出力される最大信号 V m a x ' と最小信号 V m i n ' との差である最大コントラスト V ' \_ C O N T \_ M A X を予想しているが、次のようにしてもよい。例えば、バイアス制御回路 B I A S \_ G E N ' は、第 1 のフレームに出力された最大信号 V m a x ' と最小信号 V m i n ' との差である最大コントラスト V \_ C O N T \_ M A X に基づき、第 1 のフレームよりも m フレーム ( m : 2 以上の整数 ) 後の第 2 のフレームに出力される最大信号 V m a x ' と最小信号 V m i n ' との差である最大コントラスト V ' \_ C O N T \_ M A X を予想し、第 2 のフレームにおいて、予め予想した最大コントラスト V ' \_ C O N T \_ M A X に基づくバイアス制御信号 g m \_ c t r l ' を生成してドライバ回路 D R V \_ C I R に出力する。

40

【 0 1 0 6 】

また、図 3 および図 4 では、グラフの縦軸の上方を、蓄積電荷が多い状態 ( 飽和レベル

50

V s a t)として説明を行ってきたが、グラフの縦軸の上方を、蓄積電荷が少ない状態(O BレベルV o b)としても良い。

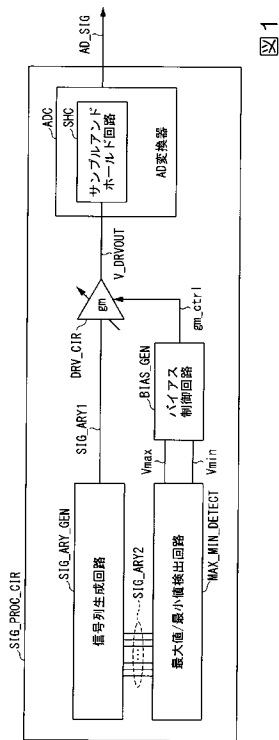
【符号の説明】

【0107】

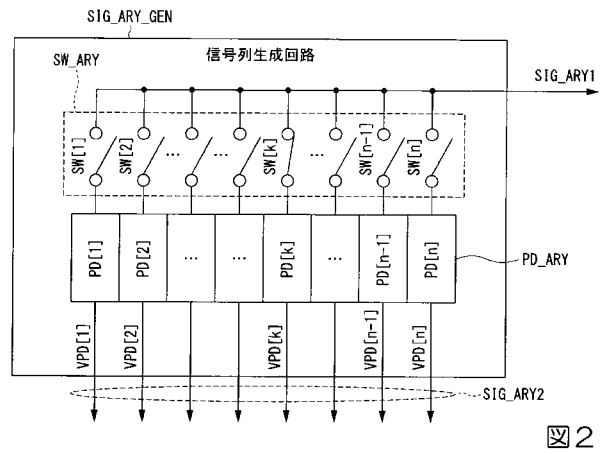
S I G \_ P R O C \_ C I R , S I G \_ P R O C \_ C I R ' 信号処理回路、S I G \_ A R Y \_ G E N , S I G \_ A R Y \_ G E N ' 信号列生成回路、M A X \_ M I N \_ D E T E C T , M A X \_ M I N \_ D E T E C T ' 最大値/最小値検出回路、B I A S \_ G E N , B I A S \_ G E N ' バイアス制御回路、D R V \_ C I R ドライバ回路、A D C A D 変換器、S H C サンプルアンドホールド回路、P D \_ A R Y 画素列、S W \_ A R Y スイッチ列、M A X \_ D E T E C T 最大値検出回路、M I N \_ D E T E C T 最小値検出回路、S 1 サンプリグスイッチ、C S H サンプリグ容量、I c o n s t 1 第一の電流源、I c o n s t 2 第二の電流源、I \_ T A I L テール電流源、M 1 第一のトランジスタ、M 2 第二のトランジスタ、M 3 第三のトランジスタ、M 4 第四のトランジスタ、D I F F \_ S T A S G E 差動対、L O A D \_ S T A G E 負荷回路、S C O P E カプセル内視鏡、O L 対物レンズ、M P U 画像処理回路、S U P 電源供給回路

10

【図1】



【図2】



【図3】

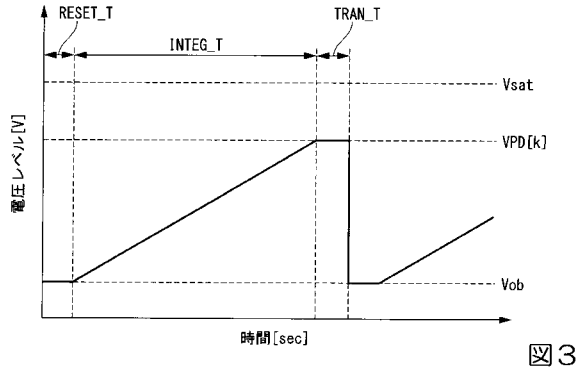


図3

【図4】

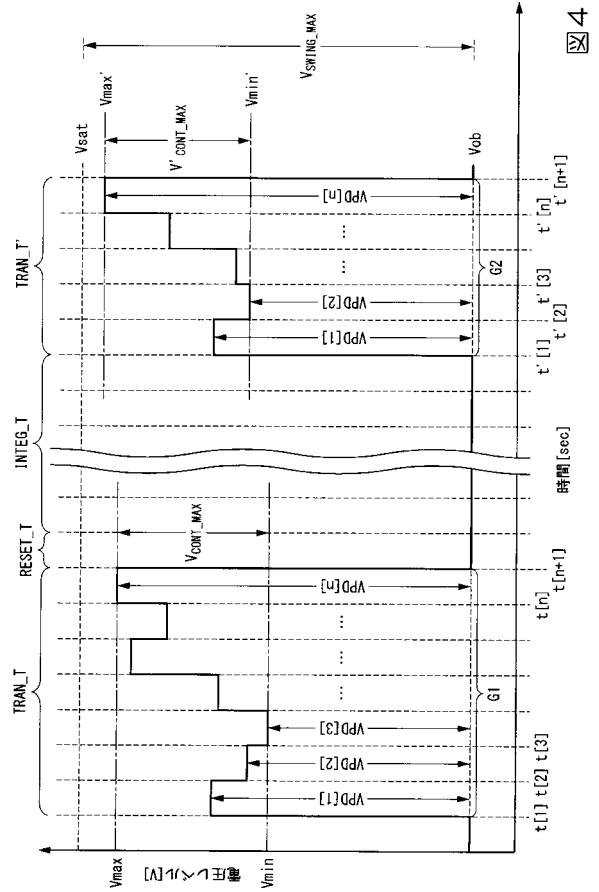


図4

【図5】

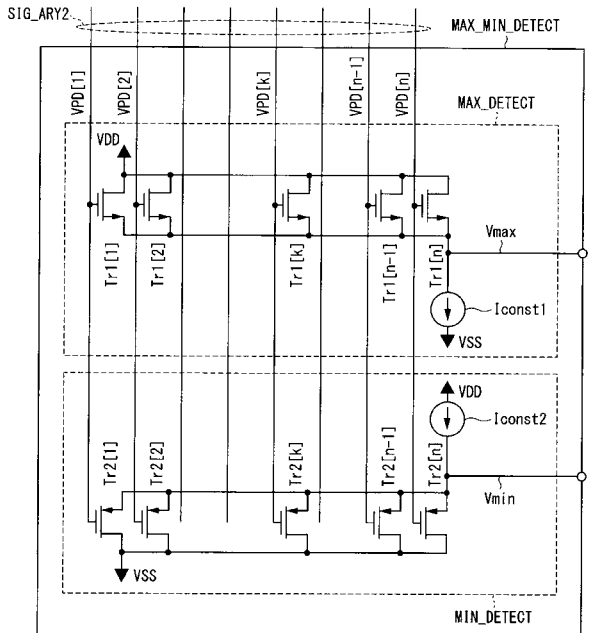


図5

【図6】

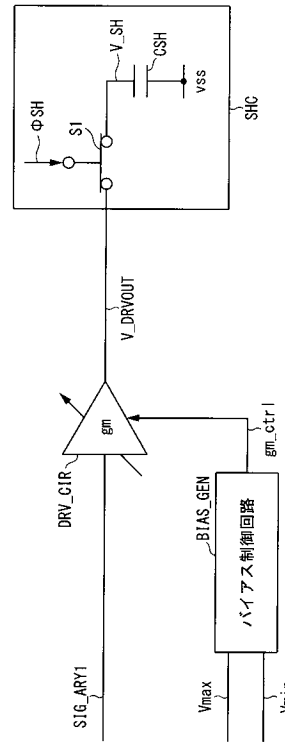


図6

【 図 7 】

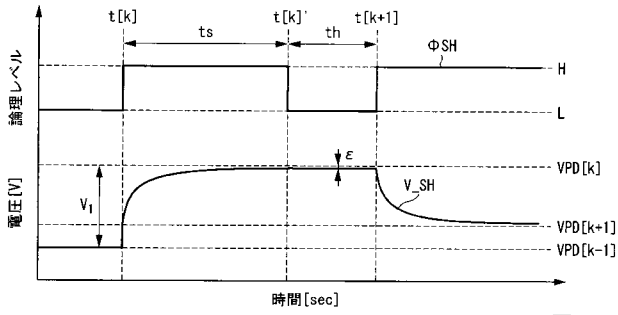


図 7

【 図 9 】

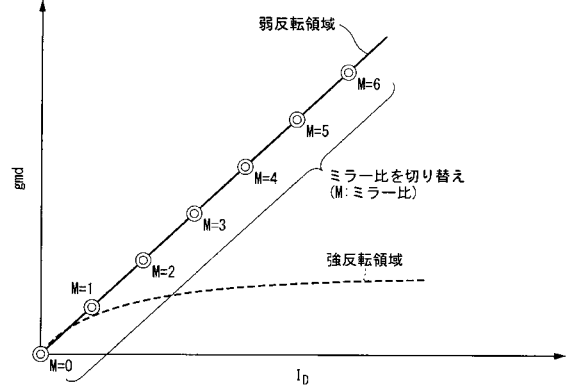


図 9

【 図 8 】

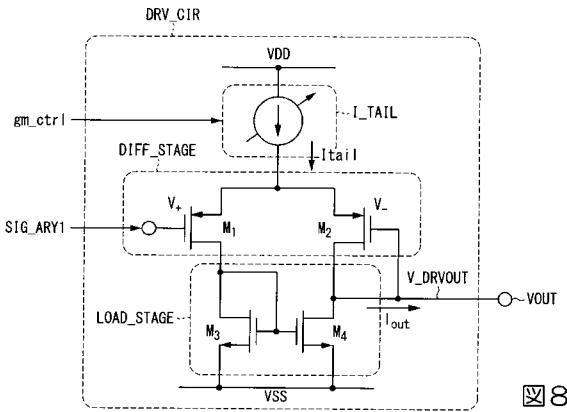


図 8

【 図 10 】

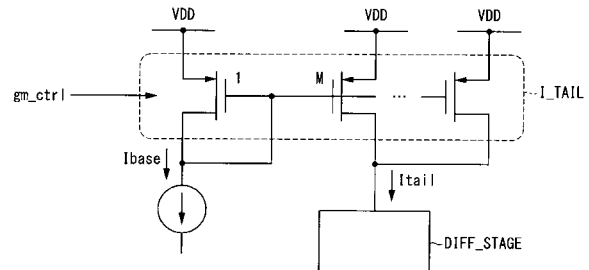


図 10

【 図 11 】

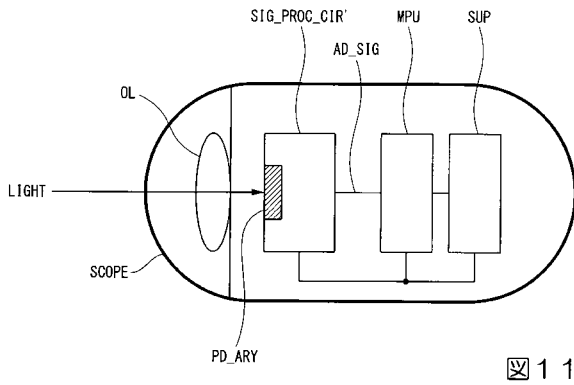


図 11

【 図 13 】

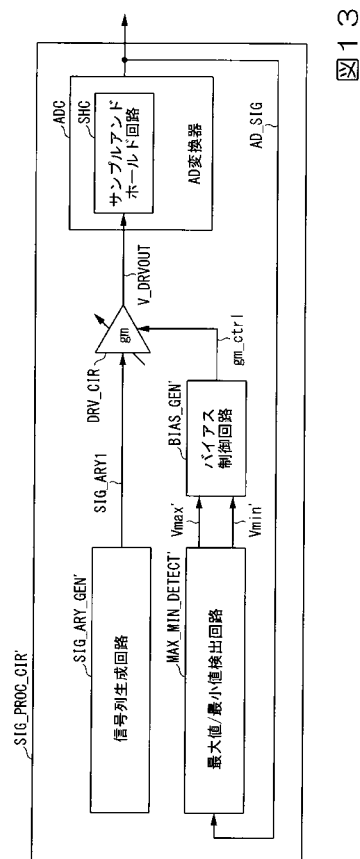


図 13

【 図 1 4 】

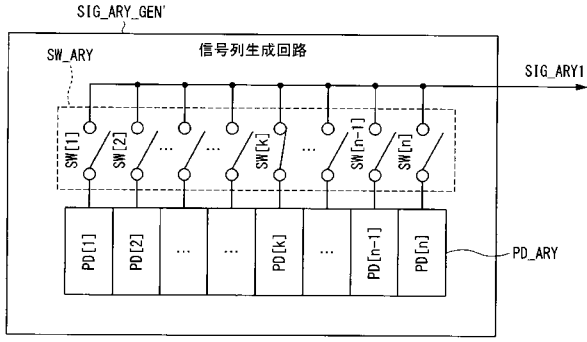


図 1 4

【 図 1 5 】

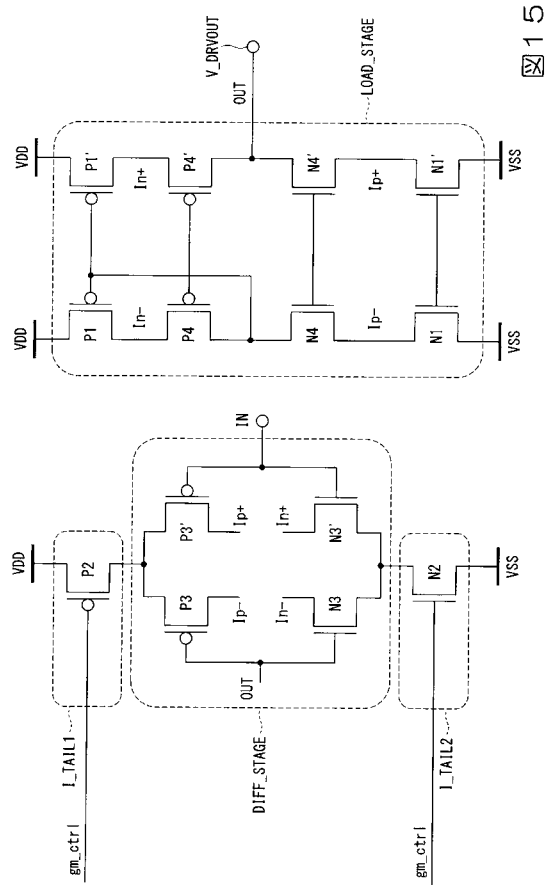


図 1 5

【 図 1 6 】

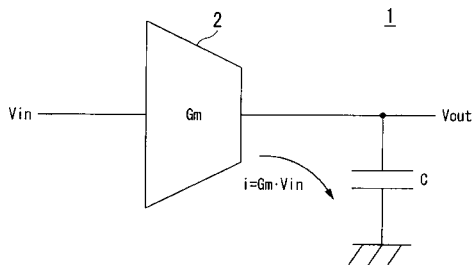


図 1 6

【 図 1 2 】

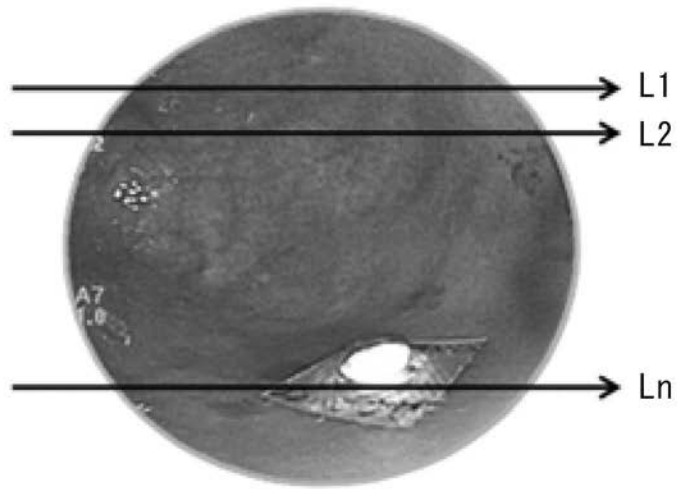


図 1 2

---

フロントページの続き

(74)代理人 100161702

弁理士 橋本 宏之

(72)発明者 大澤 雅人

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリパス株式会社内

Fターム(参考) 4C038 AB07

4C161 AA00 BB00 CC06 DD07 FF14 HH54 LL02 NN01 SS01 SS21

专利名称(译)	信号处理电路和胶囊内窥镜		
公开(公告)号	<a href="#">JP2014221108A</a>	公开(公告)日	2014-11-27
申请号	JP2013101378	申请日	2013-05-13
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	大澤雅人		
发明人	大澤 雅人		
IPC分类号	A61B1/00 A61B1/04 A61B5/07		
FI分类号	A61B1/00.320.B A61B1/04.372 A61B5/07 A61B1/00.C A61B1/00.610 A61B1/04.370 A61B1/04.510 A61B1/05		
F-TERM分类号	4C038/AB07 4C161/AA00 4C161/BB00 4C161/CC06 4C161/DD07 4C161/FF14 4C161/HH54 4C161/LL02 4C161/NN01 4C161/SS01 4C161/SS21		
代理人(译)	塔奈澄夫 铃木史朗		
其他公开文献	JP6132655B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

减少驱动电路的功耗。信号串生成电路SIG\_ARY\_GEN时分地输出多个电压信号作为第一信号串，并顺序地并行输出多个电压信号作为第二信号串。最大值/最小值检测电路MAX\_MIN\_DETECT输出与多个电压信号的大致最大值相对应的最大值信号和与多个电压信号的大致最小值相对应的最小值信号。偏置控制电路BIAS\_GEN输出根据最大信号和最小信号之间的差而变化的偏置控制信号。驱动器电路DRV\_CIR接收第一信号序列和偏置控制信号，并且输出通过根据偏置控制信号利用跨导转换第一信号序列而获得的驱动器输出电压。采样保持电路SHC在采样周期中重复对驱动器输出电压进行采样的操作，并且在保持周期中重复保持驱动器输出电压的操作。[选型图]图1

